

#3
11/27/01
Junk

Jc971 U.S. PTO
09/955388
09/17/01

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 9000 호
Application Number

출원년월일 : 2001년 02월 22일
Date of Application

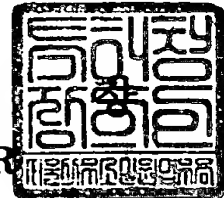
출원인 : 삼성전자 주식회사
Applicant(s)



2001 년 03 월 28 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2001.02.22
【국제특허분류】	H01L
【발명의 명칭】	콘택 플러그를 구비하는 반도체 소자 및 그의 제조 방법
【발명의 영문명칭】	Semiconductor device with contact plug and method for manufacturing the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	i-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	황유상
【성명의 영문표기】	HWANG, Yoo Sang
【주민등록번호】	660707-1006211
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 한국아파트 214동 806호
【국적】	KR
【발명자】	
【성명의 국문표기】	안수진
【성명의 영문표기】	AHN, Su Jin
【주민등록번호】	691205-2231316
【우편번호】	143-192
【주소】	서울특별시 광진구 자양2동 한양아파트 5동 107호
【국적】	KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

이영필 (인) 대리인

정상빈 (인)

【수수료】

【기본출원료】

11 면 29,000 원

【가산출원료】

0 면 0 원

【우선권주장료】

0 건 0 원

【심사청구료】

12 항 493,000 원

【합계】

522,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

콘택홀을 구비한 절연층이 형성된 반도체 기판 전면, 확산방지막을 형성한다. 콘택홀을 채우면서 확산 방지막의 상면에 텅스텐층을 형성하고, 텅스텐층 내에 형성될 수 있는 보이드가 위치하는 지점까지 텅스텐층을 에치백하여 제 1 서브 플러그를 형성한다. 제 1 서브 플러그가 형성된 반도체 기판 전면, 티타늄질화막으로 이루어진 제 2 금속층을 형성하고 이후에 확산 방지막의 상면이 노출될때까지 연마하여 제 2 서브 플러그를 형성한다. 이로써 개구부내에는 제 1 서브 플러그와 제 2 서브 플러그로 이루어지되, 씨앰피시 발생된 입자에 의한 오염에 대해 강한 저항력을 가지는 플러그가 형성된다. 플러그내에는 보이드 또는 크랙이 형성되어 있지 않다.

【대표도】

도 4

【색인어】

티타늄 플러그, 텅스텐 플러그

【명세서】**【발명의 명칭】**

콘택 플러그를 구비하는 반도체 소자 및 그의 제조 방법{Semiconductor device with contact plug and method for manufacturing the same}

【도면의 간단한 설명】

도 1 내지 도 4은 본 발명에 따른 콘택 플러그 형성 방법을 나타내는 공정 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <2> 본 발명은 반도체 소자에 관한 것으로, 특히 콘택 플러그를 구비하는 반도체 소자 및 그의 형성 방법에 관한 것이다.
- <3> 반도체 기판의 활성 영역과 비트 라인, 반도체 기판의 활성 영역과 캐패시터의 스토리지 전극, 페리 및 주변 회로의 활성 영역 또는 게이트 전극과 비트 라인 사이 등을 연결하기 위해 반도체 기판과 비트 라인 또는 스토리지 전극 사이에 형성된 절연층 내에 콘택 플러그를 형성하는 기술이 사용되고 있다.
- <4> 콘택 플러그를 형성하는 방법으로는 텅스텐을 이용하는 것과 티타늄 질화막을 이용하는 것이 있다. 그런데, 텅스텐은 인장력이 커서, 텅스텐으로 콘택 플러그용 콘택홀을 완전히 채우면, 플러그 내부에 보이드가 생기게 된다. 또한 텅스텐을 형성하고 플러그를 완성하기 위해 씨엠펜(CMP:Chemical Mechanical Polishing) 및 세정공정을 행하는데, 이

때 사용된 세정액에 의해 텅스텐이 녹게 되므로, 씨엠피 단계에서 생성된 입자들이 세정 단계에서 제대로 제거되지 못하는 문제가 있다.

<5> 한편, 티타늄 질화막은 텅스텐에 비해 단차피복특성이 우수하므로, 티타늄 질화막으로 이루어진 플러그 내에는 보이드가 생기지 않는다. 또한, 씨엠피 이후의 세정 단계에서 사용된 세정액에 텅스텐이 녹게 되는 문제가 근본적으로 발생하지 않으므로, 세정을 강화할 수 있어, 씨엠피 시 발생된 입자들을 충분히 제거할 수 있다. 그리고, 콘택 플러그와 접촉하는 비트 라인을 증착할때(통상 텅스텐으로 증착함), 텅스텐과 실리콘 성분과의 접착력을 향상시키기 위한 접착층인 티타늄 질화막이 콘택 플러그 형성 물질과 함께되어 별도의 티타늄 질화막을 증착하지 않으므로, 비트라인 구조체(비트라인과 접착층을 포함하는 것을 의미한다)의 두께를 줄일 수 있다. 따라서, 비트 라인 구조체의 에치백 시의 과도 식각을 최소화하여 콘택 플러그 내에 형성되어 있는 확산 방지막의 리세스를 최소화할 수 있다.

<6> 그러나, 티타늄 질화막을 1000Å 이상의 두께를 갖도록 증착하면 스트레스에 의해 그 내부에 크랙이 발생하게 되는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<7> 따라서, 본 발명이 이루고자 하는 기술적 과제는 보이드 또는 크랙이 없는 콘택 플러그를 구비한 반도체 소자 및 그의 제조 방법을 제공하는 것이다.

<8> 본 발명이 이루고자 하는 다른 기술적 과제는 보이드 또는 크랙이 없으면서, 연마 시의 입자 오염에 대한 강한 저항력을 갖는 콘택 플러그를 가지는 반도체 소자 및 그의 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

- <9> 본 발명이 이루고자 하는 기술적 과제들을 달성하기 위한 반도체 소자는, 반도체 기판, 반도체 기판 상에 형성되되 콘택홀을 구비한 절연층, 콘택홀을 포함하는 절연층의 전면에 형성된 확산방지막 및 콘택홀을 채우는 플러그를 포함한다. 플러그는, 콘택홀의 바닥 상면으로부터 제 1 높이로 신장하여 형성된 제 1 서브 플러그와 제 1 서브 플러그와 동일 또는 다른 금속으로 이루어지고 제 1 서브 플러그 상면에서부터 콘택홀의 상단 부까지 신장하는 제 2 서브 플러그를 포함한다.
- <10> 여기서, 제 1 서브 플러그는 텅스텐으로 이루어진다. 상기 제 2 서브 플러그는 티타늄 질화막 또는 텅스텐으로 이루어지며, 티타늄 질화막을 사용할 경우 그의 두께는 1000 Å보다 작도록 하며, 약 500 Å인 것이 바람직하다. 한편, 확산 방지막으로 티타늄/티타늄질화막을 사용한다.
- <11> 본 발명이 이루고자 하는 기술적 과제들을 달성하기 위한 반도체 소자를 형성하기 위해서는, 반도체 기판 상에 콘택홀을 구비한 절연층을 형성하고, 콘택홀을 포함하는 절연층의 전면에, 확산방지막을 형성한다. 이후 콘택홀을 채우는 플러그를 형성한다. 그런데 플러그를 형성하기 위해서는 콘택홀의 바닥 상면으로부터 제 1 높이까지 형성된 제 1 서브 플러그를 형성한 뒤, 이어서 제 1 서브 플러그 상면에서부터 콘택홀의 상단부까지 신장하는 제 2 서브 플러그를 형성한다.
- <12> 제 1 서브 플러그를 형성하는 하나의 예를 설명하면, 콘택홀을 포함하는 절연층 전면에 제 1 금속층을 형성한다. 다음, 제 1 금속층 내에 형성될 수 있는 보이드가 위치하는 지점까지 제 1 금속층을 에치백 한다. 여기서 제 1 금속층은 텅스텐으로 이루어져 있다. 그리고 제 2 서브 플러그를 형성하는 하나의 예를 설명하면, 제 1 플러그가 형성된

반도체 기판 전면에 제 2 금속층을 형성한 후, 제 2 금속층을 확산 방지막의 상면이 노출될때까지 연마한다. 여기서 제 2 금속층은 텅스텐 또는 티타늄질화막으로 이루어지며, 티타늄 질화막의 두께는 1000 Å보다 작은 것이 바람직하다.

<13> 이하 본 발명을 첨부된 도면을 참고로 설명한다.

<14> 도 1에서, 반도체 기판(10) 상에 절연막(12)을 형성한다. 절연막(12)의 소정 부분을 식각하여 반도체 기판의 활성 영역을 노출시키는 개구부를 형성한다. 개구부의 내벽 및 바닥을 포함하여 절연막(12)의 상면에 확산 방지막(12)을 형성한다. 확산 방지막은 티타늄/티타늄질화막(14)으로 구성되어 있다. 다음, 확산 방지막(14) 상면에 형성되되 개구부를 채우도록 제 1 금속층(16)으로 텅스텐층을 형성한다. 개구부를 점유한 텅스텐층 내부에는 보이드(18)가 형성되어 있다. 여기서 제 1 금속층(16)을 텅스텐에 한정하여 본 발명을 설명하였으나, 텅스텐 이외, 물질의 특성 상 개구부를 매립할때 보이드를 발생시키는 금속층은 모두 사용가능하다.

<15> 도 2에서, 제 1금속층의 보이드(도 1의 18)가 생성된 지점까지 제 1 금속층(16)을 에치백하여 개구부의 바닥에서부터 신장하되 제 1 높이를 갖는 제 1 서브 플러그(20)를 형성한다.

<16> 도 3에서, 제 1 서브 플러그(20)가 형성된 반도체 기판 전면에 원자층 증착 방법으로 제 2 금속층(22)을 형성한다. 제 2 금속층(22)으로는 씨애플 후의 세정 시의 세정액에 쉽게 녹지 않는 물질로서, 제 1 금속층(16)과 동일 또는 다른 금속을 사용할 수 있다. 구체적으로 제 2 금속층(22)으로 텅스텐 또는 티타늄 질화막을 사용할 수 있다. 제 2 금속층(22)으로 티타늄 질화막을 사용하는 경우에는, 제 2 서브 플러그 형성 이후의 세정공정을 강화하여 제 2 서브 플러그는 연마시에 발생된 입자에 강한 저항력을 가질

수 있다. 또한 티타늄 질화막을 제 2 서브 플러그로 사용하는 경우에는, 내부의 크랙이 발생하지 않도록 그 두께를 1000 Å보다 작게하는 것이 바람직하다. 특히 약 500 Å 정도가 더욱 바람직하다.

<17> 도 4에서, 제 2 금속층(도 3의 22)을 확산 방지막(14)의 상면이 노출될때까지 물리적 및 화학적으로 연마하여 제 2 서브 플러그(24)를 형성한다. 따라서 개구부에 제 1 서브 플러그(20)와 제 2 서브 플러그(24)로 이루어진 플러그(20, 24)가 형성된다.

【발명의 효과】

<18> 제 1 서브 플러그(20)를 형성하기 위한 에치백 공정이 제 1 금속층(16)이 텅스텐 내에 형성된 보이드(18)가 위치하는 지점까지 진행되므로, 제 1 서브 플러그(20) 내에는 보이드가 형성되지 않는다. 그리고 제 2 금속층(22)으로 씨엠피 후의 세정시의 세정액에 쉽게 녹지 않는 물질을 사용하면, 세정을 강화할 수 있게 된다. 따라서, 플러그 형성을 위한 연마 시 발생된 입자에 대한 강한 저항력을 가지는 플러그를 형성할 수 있다. 본 발명에서는 이런 효과를 볼 수 있는 금속층의 하나로 티타늄 질화막을 사용하였다. 플러그 상부가 티타늄 질화막으로 구성되어 있으므로, 플러그 상부에 형성되는 비트 라인의 과도 식각 시간을 최소화하고 개구부 내의 확산 방지막의 리세스를 최소화할 수 있는 이점도 있다.

【특허청구범위】**【청구항 1】**

반도체 기판,
상기 반도체 기판 상에 형성되되 콘택홀을 구비한 절연층,
상기 콘택홀을 포함하는 절연층의 전면에 형성된 확산방지막, 및
상기 콘택홀을 채우며, 상기 콘택홀의 바닥 상면에서부터 제 1 높이로 신장하여 형성된 제 1 서브 플러그와 상기 제 1 서브 플러그와 다른 금속으로 이루어지고 상기 제 1 서브 플러그 상면에서부터 상기 콘택홀의 상단부까지 신장하는 제 2 서브 플러그로 이루어진 플러그를 포함하는 반도체 소자.

【청구항 2】

제 1 항에 있어서, 상기 제 1 서브 플러그는 텅스텐으로 이루어지고, 상기 제 2 서브 플러그는 티타늄 질화막으로 이루어지는 반도체 소자.

【청구항 3】

제 2 항에 있어서, 상기 티타늄 질화막의 두께는 1000Å보다 작은 반도체 소자.

【청구항 4】

제 2 항에 있어서, 상기 확산 방지막은 티타늄/티타늄질화막인 반도체 소자.

【청구항 5】

반도체 기판을 준비하는 단계,
상기 반도체 기판 상에, 콘택홀을 구비한 절연층을 형성하는 단계,

상기 콘택홀을 포함하는 절연층의 전면에, 확산방지막을 형성하는 단계, 및

상기 콘택홀을 채우는 플러그를 형성하는 단계를 포함하고,

상기 플러그 형성 단계는, 상기 콘택홀의 바닥 상면으로부터 제 1 높이로 형성된 제 1 서브 플러그를 형성하는 단계와 상기 제 1 서브 플러그 상면에서부터 상기 콘택홀의 상단부까지 신장하는 제 2 서브 플러그를 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

【청구항 6】

제 5항에 있어서, 상기 제 1 서브 플러그를 형성하는 단계는, 상기 콘택홀을 포함하는 상기 절연층 전면에 제 1 금속층을 형성하는 단계와 상기 제 1 금속층 내에 형성될 수 있는 보이드가 위치하는 지점까지 상기 제 1 금속층을 에치백 하는 단계를 포함하는 반도체 소자의 제조 방법.

【청구항 7】

제 5 항에 있어서, 상기 제 2 서브 플러그를 형성하는 단계는, 상기 제 1 플러그가 형성된 반도체 기판 전면에 제 2 금속층을 형성하는 단계와 상기 제 2 금속층을 상기 확산 방지막의 상면이 노출될때까지 연마하는 단계를 포함하는 반도체 소자의 제조 방법.

【청구항 8】

제 6 항에 있어서, 상기 제 2 서브 플러그를 형성하는 단계는, 상기 제 1 플러그가 형성된 반도체 기판 전면에 제 2 금속층을 형성하는 단계와 상기 제 2 금

속층을 상기 확산 방지막의 상면이 노출될때까지 연마하는 단계를 포함하는 반도체 소자의 제조 방법.

【청구항 9】

제 5 항 또는 제 6 항에 있어서, 상기 제 1 서브 플러그는 텅스텐으로 이루어지는 반도체 소자의 제조 방법.

【청구항 10】

제 5 항 또는 제 7 항에 있어서, 상기 제 2 서브 플러그는 텅스텐 또는 티타늄 질화막으로 이루어지는 반도체 소자의 제조 방법.

【청구항 11】

제 5항 또는 제 8항에 있어서, 상기 제 2 서브 플러그의 두께는 1000Å보다 작은 반도체 소자의 제조 방법.

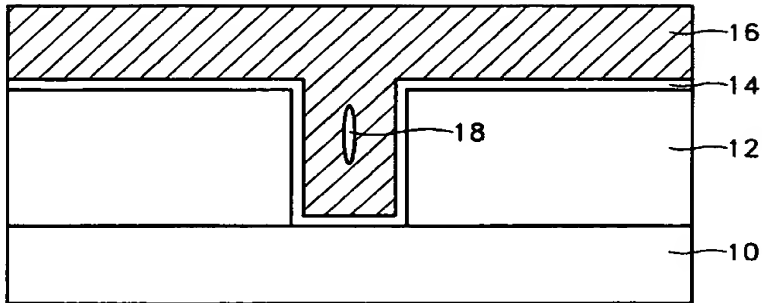
【청구항 12】

제 5 항에 있어서, 상기 확산 방지막은 티타늄/티타늄질화막인 반도체 소자의 제조 방법.

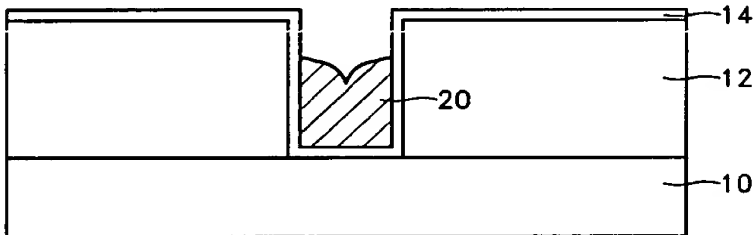


【도면】

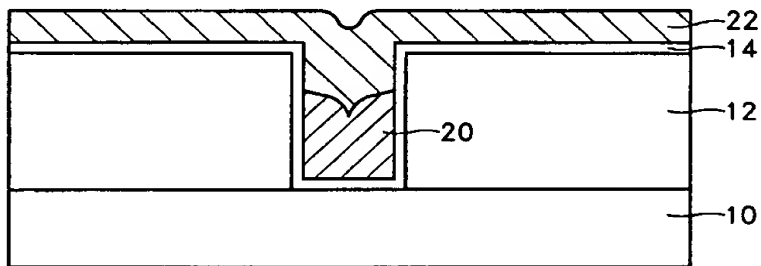
【도 1】



【도 2】



【도 3】



【도 4】

